

**WWW.ELSERW.COM.PL**



## **RĘCZNY TESTER UKŁADÓW SCALONYCH**

### **I. Opis Projektu.**

Konstrukcja została oparta na pomysłe zaczerpniętym z kitu 2096 AVT opisanego w czasopiśmie „Elektronika dla Wszystkich” Nr 8/96 w artykule pana Zbigniewa Raabe. W stosunku do opisanego tam testera układów logicznych wprowadzono pewne zmiany konstrukcyjne i funkcjonalne.

Tester przeznaczony jest do testowania układów scalonych w obudowie DIL (maksymalnie 20 nóżkowych) cyfrowych TTL i CMOS oraz analogowych (komparatory, wzmacniacze operacyjne, itp., itd.), pracujących na napięciu zasilania 5 lub 15V.

Tester zasilany jest napięciem stabilizowanym 15V z zewnętrznego zasilacza impulsowego (maksymalny prąd ok. 1A).

Wykorzystanie odpowiednich przejściówek PCB umożliwia testowanie układów w innych obudowach, np. SMD typu SO, SOP, SOL, TSSOP, i innych. Tester umożliwia także sprawdzanie działania takich elementów elektronicznych jak transoptory, przekaźniki, elementy elektromechaniczne i inne, zwłaszcza w technologii przewlekanej i w obudowach zgodnych z DIL.

Testowanie układu polega na zadawaniu za pomocą „dipswitchów” odpowiednich sygnałów wejściowych (logicznych lub analogowych), oraz odczytywaniu odpowiedzi układu, poprzez przyłączenie do jego wyjść prostych próbników napięciowych z diodami LED (maksymalnie - po jednym dla każdej nogi badanego układu).

#### **1. Zalety.**

Niski koszt i krótki czas wykonania urządzenia. Możliwość szybkiego sprawdzenia wielu, zwłaszcza jednakowych układów. Możliwość badania nieznanymi układów.

#### **2. Wady.**

Konieczność ręcznego zadawania sygnałów wejściowych, co rodzi możliwość pomyłki i uszkodzenia badanego układu. Testowanie układu może odbywać się w kilku fazach. Konieczność zastosowania zewnętrznego zasilania stabilizowanego.

## II. Bloki funkcjonalne.

W układzie elektronicznym testera można wyróżnić następujące bloki funkcjonalne :

### 1. Blok zasilania.

Składa się z układu IC1 (7805) wraz z elementami towarzyszącymi, układ ten wytwarza napięcie 5V dla zasilania układów TTL. Przełącznik JP1 służy do przełączania napięcia zasilania testowanego układu pomiędzy 5 a 15V. W razie potrzeby układ ten można zastąpić innym o mniejszym napięciu pracy (np. 2,5V dla niektórych układów MOS).

### 2. Bloki generatorów.

Tester posiada dwa niezależne „wolnobieżne” generatory oparte o klasyczną aplikację układów „555” (układy IC2, IC4). Każdy z nich może pracować w jednym z dwóch trybów: monostabilny i astabilny. Tryby te można przełączać za pomocą przełączników oznaczonych na schemacie jako JP2 dla pierwszego generatora i JP3, dla drugiego generatora. W trybie monostabilnym wyzwalenie impulsu odbywa się przyciskiem S1 (S2). Stałe czasowe generatorów są dobrane dowolnie za pomocą elementów RC i nie są krytyczne. W praktyce jeden z generatorów można „przyśpieszyć” a drugi „zwolnić”, aby uzyskać większą asymetrię pobudzenia badanego układu.

Każdy z generatorów zaopatrzone jest na wyjściu w bufory oparte na inwerterach zrealizowanych na układzie CMOS (bramki 3A do 3F). Stany wyjść generatorów są sygnalizowane żółtymi diodami LED: CLK\_OUT\_1 i CLK\_OUT\_2. Każdy z generatorów ma buforowane wejście proste i zanegowane, dołączone do szyn CLK1 i ANCLK2.

Drugi z generatorów (na układzie IC4), może być dołączany do szyny ANCLK1 i ANCLK2 zamiennie z potencjometrami R11 i R14, które służą do zadawania napięć na wejściach podczas badania układów analogowych.

### 3. Bloki zadawania parametrów („DIP-SWITCHE”).

Każda z nóg testowanego układu (ICT), umieszczonego w podstawce ZIF20, jest podłączona do jednego z 20-stu dipswitchów (SW n1, SW n2, ... , SW n.20), które służą do wymuszania na niej określonych sygnałów wejściowych lub podłączania napięć zasilania albo sygnalizacji stanu wyjścia. Każdy z dipswitchów posiada 8 niezależnych przełączników o dwóch stanach stabilnych. Tabela poniżej ukazuje funkcje poszczególnych przełączników każdego dipswitcha.

Nr przełącznika	Funkcja	Opis
1	GND (stan logiczny „0”)	Masa zasilania lub „zero” logiczne
2	VCC – POWER (5V / 15V)	„+” zasilania (5V albo 15V)
3	LOGIC (stan logiczny „1”)	Stan logicznej „jedynki”
4	OUT	Wyjście, sygnalizacja stanów za pomocą LED
5	CLK2 / ANL2	Wyjście „proste” generatora 2 lub sygnał analogowy numer 2.
6	NOT CLK2 / ANL1	Wyjście „zanegowane” generatora 2 lub sygnał analogowy numer 1.
7	CLK1	Wyjście „proste” generatora 1.
8	NOT CLK1	Wyjście „zanegowane” generatora 1.

#### 4. Sygnalizatory stanów wyjścia.

Każda z nóg testowanego układu może zostać podłączona do przynależnego jej prostego sygnalizatora stanów, opartego o tranzystory Q1 do Q20 z czerwonymi diodami LED (RED OUT1 do RED OUT20). Świecenie diody LED sygnalizuje „zero” logiczne panujące na wyjściu nóżki testowanego układu.

### III. Testowanie znanego układu

Testowanie układu, jeśli jego typ i parametry są znane rozpoczyna się od ustawienia wszystkich przełączników w dipswitchach, tak aby na poszczególnych wejściach testowanego układu zadać odpowiednie stany logiczne lub parametry analogowe oraz aby podać napięcie i masę zasilania na testowany układ, a także przyłączyć wyjścia testowanego układu do wskaźników diodowych (czerwone LED).

Następnie określa się tryby pracy generatorów oraz napięcie zasilania, które oczywiście musi być dopasowane do parametrów granicznych zasilania testowanego układu scalonego.

Ustawienie przełączników we właściwych pozycjach ułatwia dokumentacja testowanego układu oraz tzw. Karty Testowe wykonane dla układów i zawarte w niniejszym projekcie. W wielu przypadkach, aby przetestować wszystkie wejścia oraz ich kombinacje dla testowanego układu każdy test musi być przeprowadzony w dwóch lub więcej fazach. Każda z faz wymaga odpowiedniego ustawienia przełączników w dipswitch’ach i charakteryzuje się innymi stanami sygnalizowanymi przez LED testera na wyjściach badanego układu. Poszczególne fazy testu (maksimum dwie) są pokazane na Kartach Testowych.

Po sprawdzeniu ustawienia wszystkich przełączników testera w sposób odpowiedni dla każdej z faz testu, umieszcza się testowany układ scalony w podstawce testowej ZIF (dla układów MOS wymagane jest przestrzeganie zasad, jak przy pracy w warunkach

narażenia na ESD). W następnej kolejności do testera (i jednocześnie testowanego układu) podłączamy zasilanie zewnętrzne.

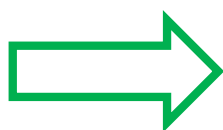
#### IV. Testowanie nieznanego układu

Testowanie nieznanego układu rozpoczynamy od ustawienia trybu zasilania na 5V (w przypadku układów, co do których zachodzi podejrzenie, że mogą pracować na niższym napięciu zasilania – np. układy MOS-SMD, można zmniejszyć napięcie zasilania testowanego układu poprzez wymianę układu IC1 7805 na stabilizator o niższym napięciu roboczym).

Następnie na wszystkich dipswitchach przełączniki nr4 ustawiamy w pozycje ON, tak jakby każda z nóg testowanego układu scalonego była wyjściem. Następnie, po umieszczeniu układu w podstawce ZIF i włączeniu zasilania, podając odpowiednie sygnały poprzez pozostałe przełączniki dipswitchów (przełączniki: 1,3 oraz 5,6,7 i 8) próbujemy ustalić funkcje poszczególnych nóg badanego układu, obserwując wskaźniki LED. Oczywiście w taki sposób można jedynie badać układy o niezbyt skomplikowanej logice, mając podstawowe informacje na temat napięć zasilania i ich podłączenia, nieprawidłowe przyłączenie zasilania, może bowiem skutkować nieodwracalnym uszkodzeniem badanego układu.

[WWW.ELSERW.COM.PL](http://WWW.ELSERW.COM.PL)

*Autor nie udziela żadnych dodatkowych informacji związanych z przedmiotem niniejszej publikacji oraz nie ponosi żadnej odpowiedzialności związanej z opisanymi tutaj działaniami.*



***Kopiowanie tego dokumentu jest dozwolone jedynie w całości i w niezmienionej formie i treści.***